

拡張プロセッサー

ER-101

価格 ¥

●目次

- 1. IC情報..... 2
- 2. ブロックダイヤグラム..... 5
- 3. アナログ部の回路概要..... 7
- 4. デジタル部の回路概要..... 14

インフォメーション資料

No. _____

※係外持出厳禁(使用後は所定位置に戻して下さい)

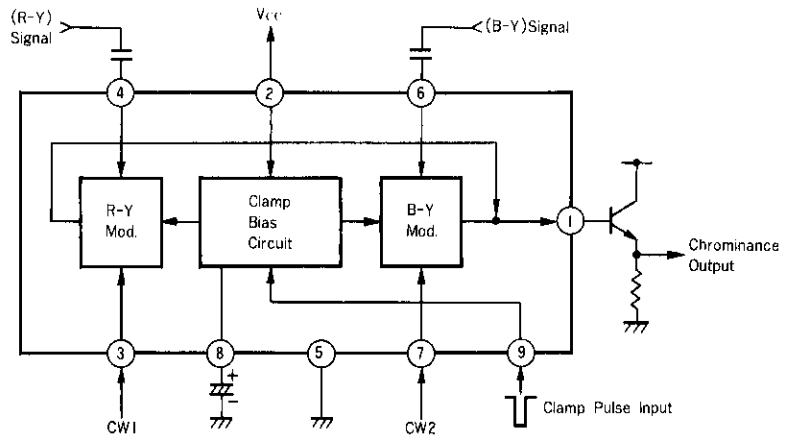
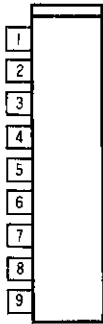
パイオニア株式会社

〒153 東京都目黒区目黒1丁目4番1号 F Z © 1984.12

I. IC情報

■AN6040

カラーエンコーダ



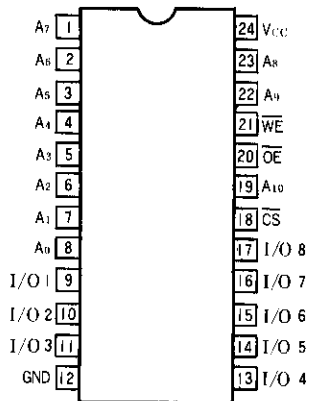
(B-Y, R-Yでカラーサブキャリアを変調し
ミキシングする.)

■端子名/Pin

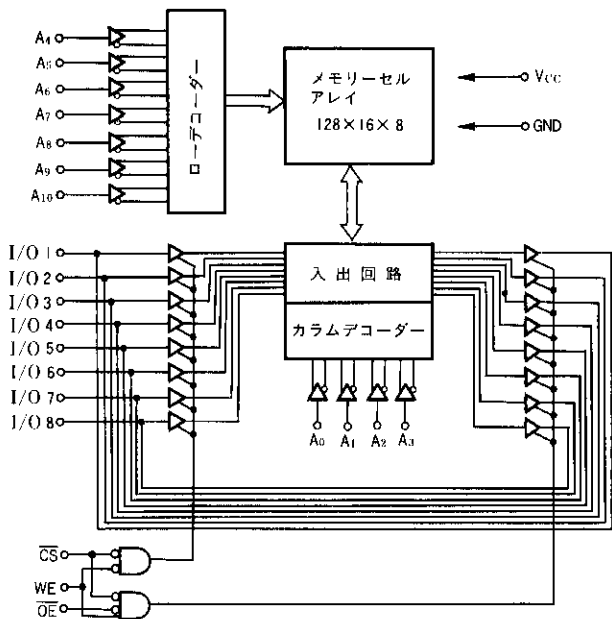
Pin No.	端子名	Pin Name
1	出力	Chrominance Output
2	電源電圧	Vcc
3	キャリア入力 (1)	Carrier Input (1)
4	信号入力 (R-Y)	Signal Input (R-Y)
5	アース	GND
6	信号入力 (B-Y)	Signal Input (B-Y)
7	キャリア入力 (2)	Carrier Input (2)
8	基準電圧	Ref. Voltage
9	クランプパルス入力	Clamp Pulse Input

■TMM2009

2048ワードX8ビットスタティックRAM



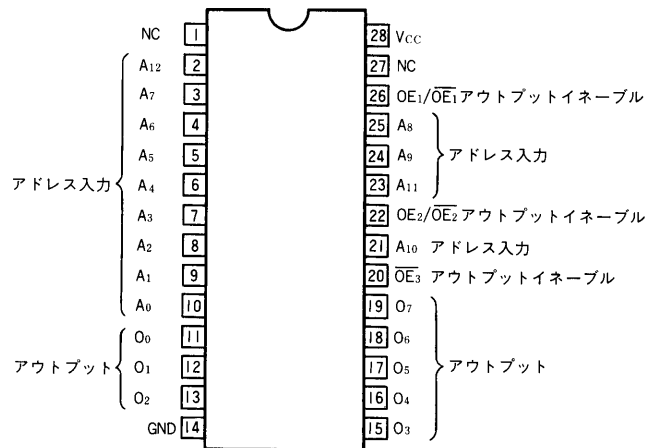
記号	名称
A0 - A10	アドレス入力
I/O1 - I/O8	データ入出力
CS	チップセレクト入力
WE	ライトイネーブル入力
OE	出力バッファコントロール入力
Vcc	電源(5V)端子
GND	グラウンド



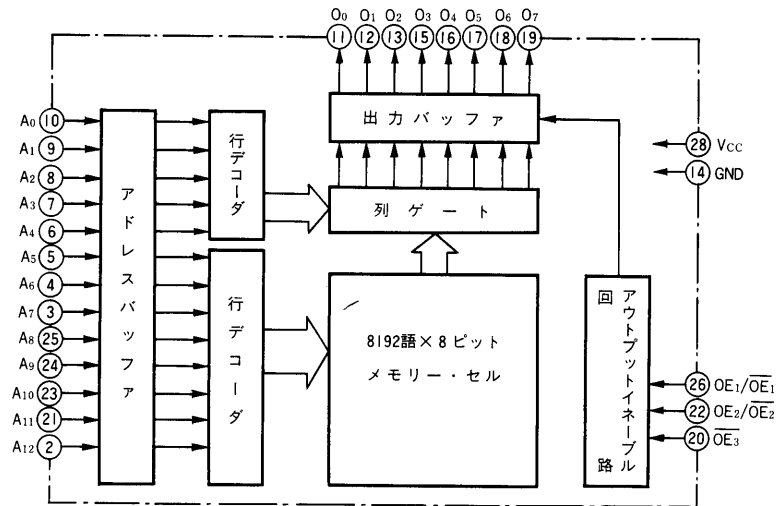
■マスクROM

●ピン接続図

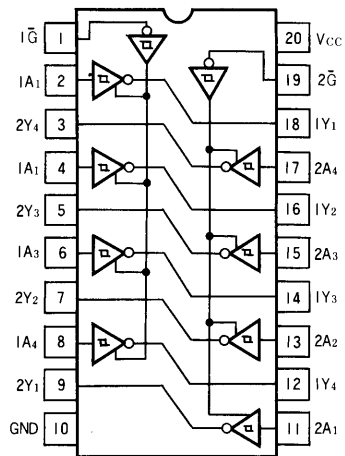
(上面図)



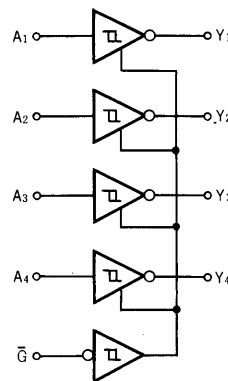
●ブロック図



■74LS240



(上面図)



■機能表

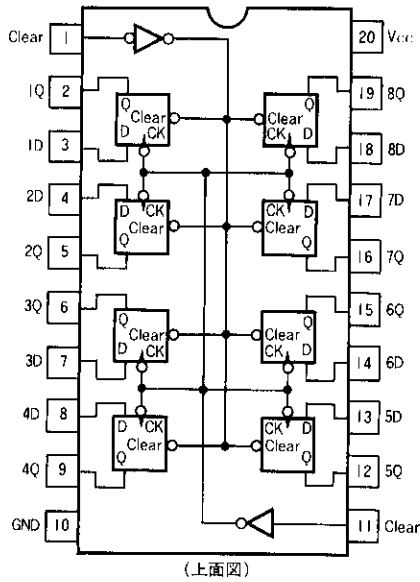
入	出力	
G	A	Y
H	X	Z
L	H	L
L	L	H

H : Highレベル
 L : Lowレベル
 X : "H", "L"のいずれでもよい
 Z : ハイインピーダンス

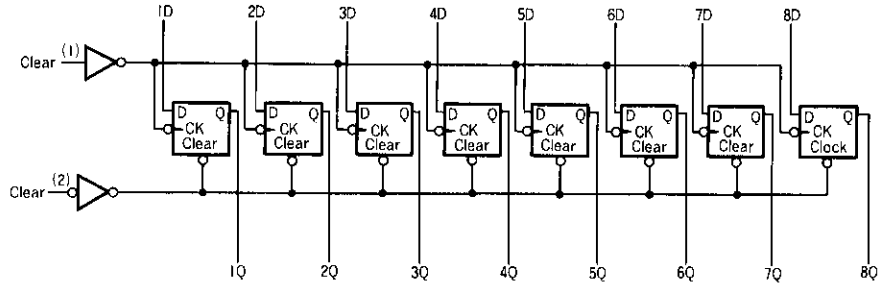
■M74LS273

オクタールD-タイプポジティブエッジトリガフリップフロップ(クリアー付)

■ピン配置



■ブロックダイアグラム

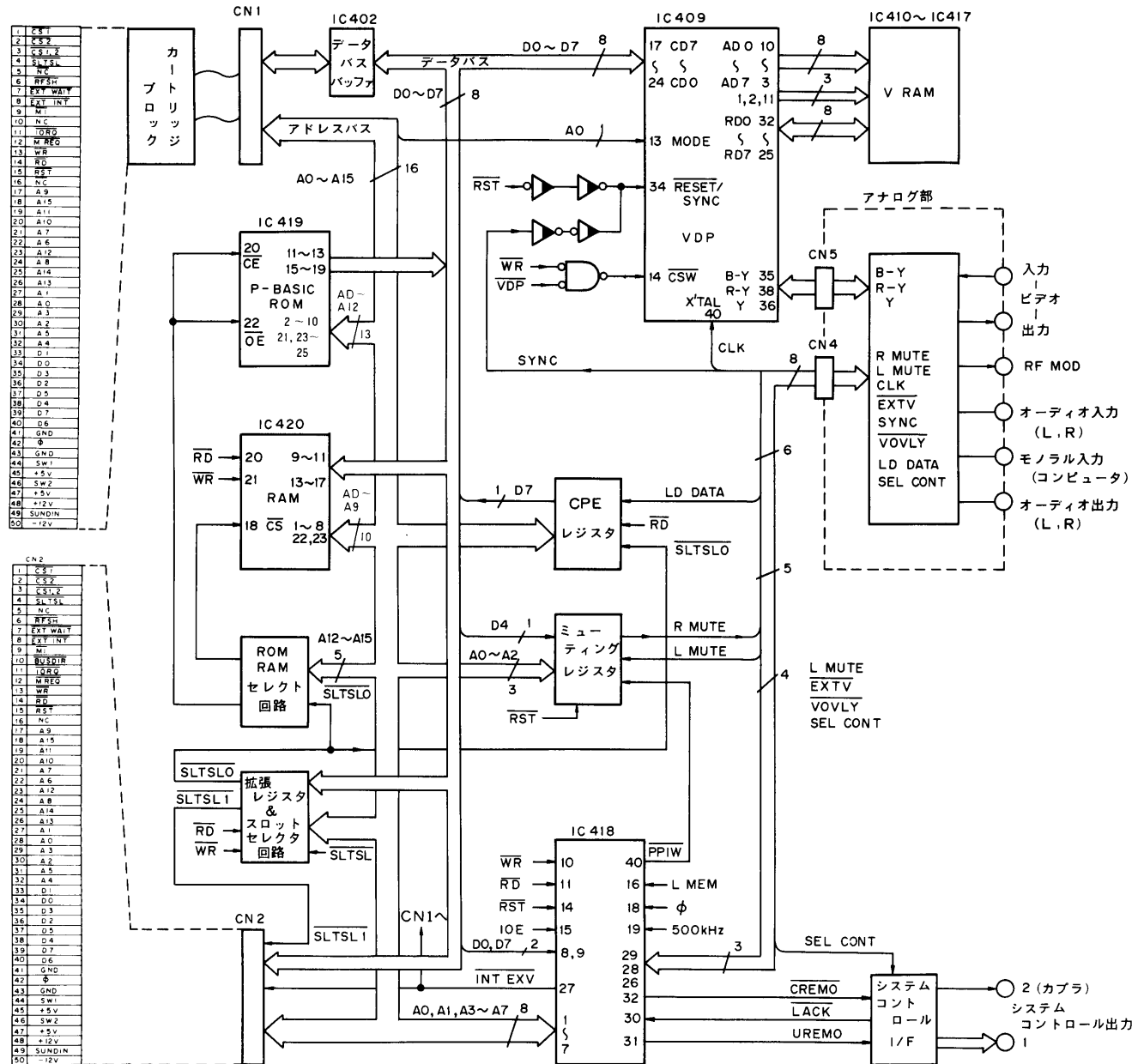


■機能表

入		出力	
Clear	Clock	D	Q
L	×	×	L
H	↑	H	H
H	↑	L	L
H	L	×	Q ₀

注) H : Highレベル
 L : Lowレベル
 ↑ : LからHへの遷移
 × : H, Lのいずれでもよい
 Q₀ : 不変状態入力条件が確立される以前のQレベル

2. ブロックダイアグラム



1. VDP

- TMS 9928AをVDPとして使用。(NTSC方式色差信号出力)
- 256×192画素の分解能で黒、白、透明を含め16色カラー表示。
- 32枚のスプライト (動画) パターン生成可能。
- ライトオンリーで使用している。

2. ROM

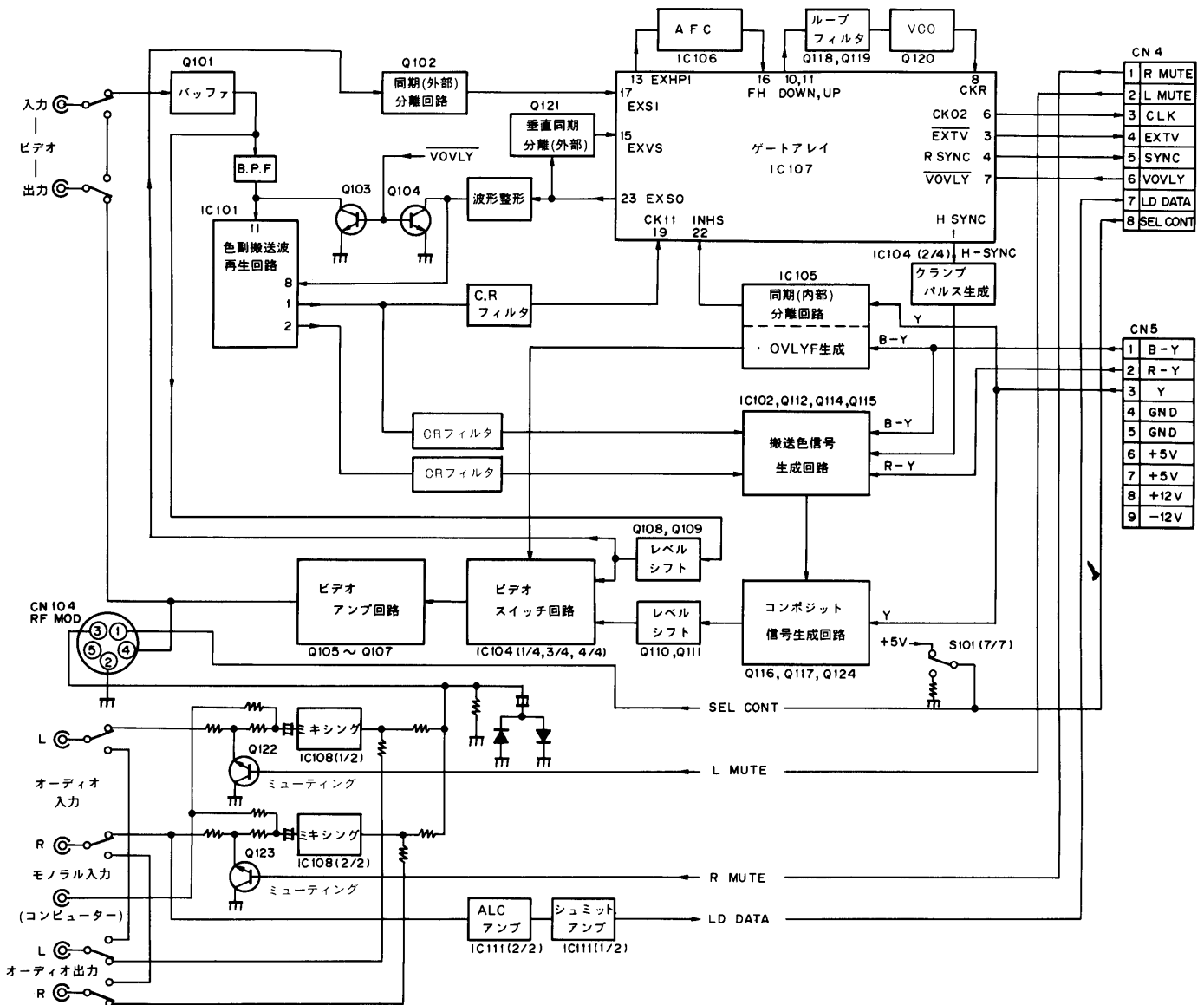
- 拡張P-BASICインタープリタ内蔵。8Kバイト マスクROM。

3. RAM

- P-BASICのワークエリアとして使用。2KバイトスタティックRAMの内1Kバイト使用している。

4. 拡張レジスタ&スロットセレクト回路

- 8ビットラッチにデータを書き込み、スロットの選択(バンク切換)を行なう。
- 拡張レジスタ (FFFFH) のアドレスデコード。



5. CPEレジスタ

- LDのオーディオRehに記録されたプログラムをシリアルで1ビットずつ読み取る。
- P-BASIC拡張レジスタ (7FFDH) のアドレスデコード。

6. システムコントロールI/F

- 当社統一リモコン機器および、LD-1000用リモコンインターフェイス内蔵。(コードはソフト生成)
- システムコントロール出力1はLD-7000専用でアクノリッジ入力によるハンドシェイク動作。
- システムコントロール出力2は赤外線ドライブ用出力。

7. ミューティングレジスタ

- 外部ステレオ・オーディオ入力に対するミューティングのON/OFFを行なう。

8. 音声ミュート回路

- 外部から入力されるステレオ・オーディオ信号をL, R片方ずつミュートすることができる。(制御信号はミューティングレジスタより出力される。)

9. オーディオミキシング回路

- 外部から入力されるステレオ・オーディオ信号(L・R)とパーソナルコンピュータから入力されるオーディオ信号(モノラル)をミキシングする。ミキシングレベルは固定。

3. アナログ部の回路概要

●ER-101は、MSXパーソナルコンピュータに接続する拡張インターフェースで、スーパーインポーズ、システムコントロールなどの拡張機能を備えている。レーザービジョンビデオディスクプレーヤーをはじめ、オーディオ、ビデオ機器と接続し、使用することができる。

ER-101は次のような特長を持っている。

1. スーパーインポーズ機能
2. サウンドミックス機能
3. システムコントロール機能
4. P-BASICの搭載

本機のP-BASICはPX-7とほとんど同じですがPAN命令、LCOPY命令が削除されている。

3. 1 外部ビデオ信号同期分離回路

外部ビデオ信号から、水平同期パルス、垂直同期パルス複合同期信号として分離する。

外部ビデオ信号はQ101のバッファを通った後、Q108のレベルシフト回路へ加えられる。Q108のベースはQ109のバイアス回路により一定電圧に設定されており、ビデオ信号は設定されたDCレベルに上乘される。一方Q102のエミッター電圧は、無信号時Q108のエミッタ電圧より約0.6V(ジャンクション電圧)だけ高くなっており、Q102のエミッタ抵抗R107、コンデンサC102の時定数が充分大きく取ってあるために、Q108のエミッター電圧がQ102のカットオフ電圧以上になるとQ102はOFFとなりQ102の出力はLレベルとなる。

またカットオフ電圧以下ではQ102はONとなり出力はHレベルとなる。このようにカットオフ電圧が同期信号の電圧範囲内であれば同期信号だけを分離できる。C102はQ102のON、OFFと同時に充放電が行なわれるが、R107、C102の時定数は垂直同期パルスの周期(約16.7ms)より大きな値となっているため、動作時でもQ102のエミッタ電圧は一定値となる。C103はビデオ信号の高域をカットすることによりカラーバースト信号の影響を取り除いている。

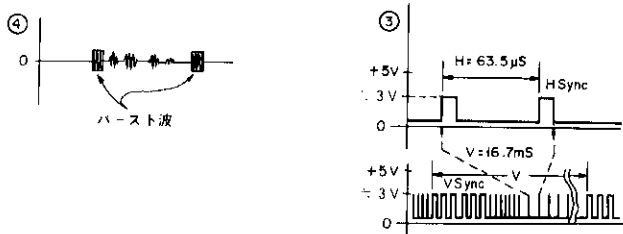
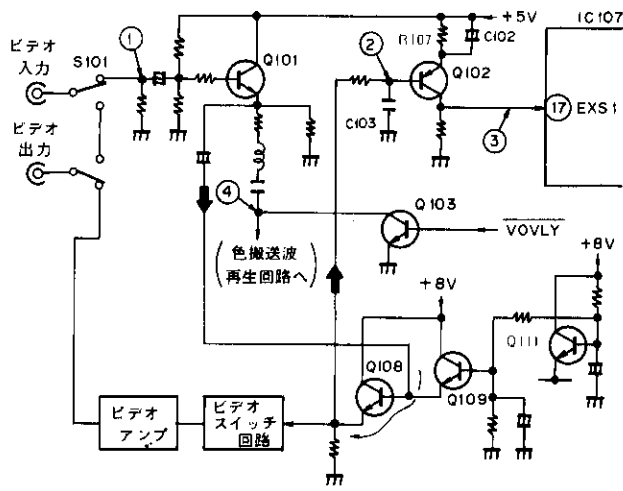


図3-1 外部ビデオ信号同期分離回路

3. 2 垂直同期分離回路

垂直同期分離回路はゲートアレイIC107内で波形整形し、負極性となった外部ビデオよりの複合同期信号をR183、R184、C151より構成されるローパスフィルタで垂直同期パルスを分離する。分離された垂直同期パルスはQ121で波形整形された後再びIC107へ加えられる。

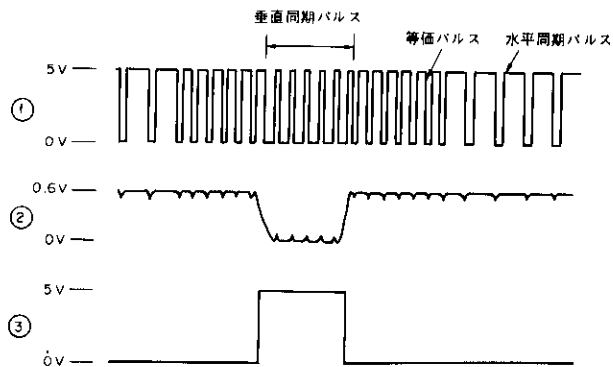
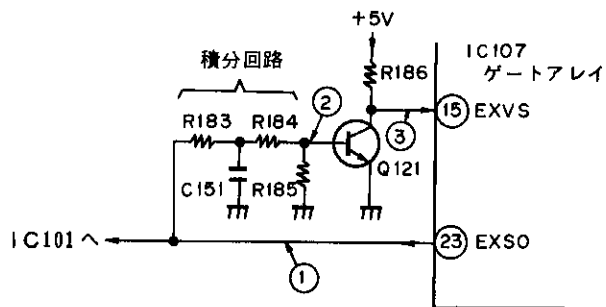


図3-2 外部ビデオ信号垂直同期分離回路

3.5 内部ビデオ信号同期分離および画面合成フラグ生成回路

同期(内部)分離回路は、VDP(IC409)より出力されるコンピューター画面のY信号より水平同期信号(H SYNC)を分離する。Y信号はIC105の3番ピンに加えられ、コンパレータによって、VR103のコンパレートレベルと比較され、H SYNCが分離される。分離されたH SYNCはゲートアレイ(IC107)の22番ピンへ加えられる。

画面合成フラグ生成回路は、画面合成時(スパーインポーズ時) VDPよりのB-Y信号をIC105の5番ピンへ加え、B-Y信号に上乗せされている画面合成フラグを、VR103のコンパレートレベルにより分離し、7番ピンよりピアオスイッチ回路へ出力する。

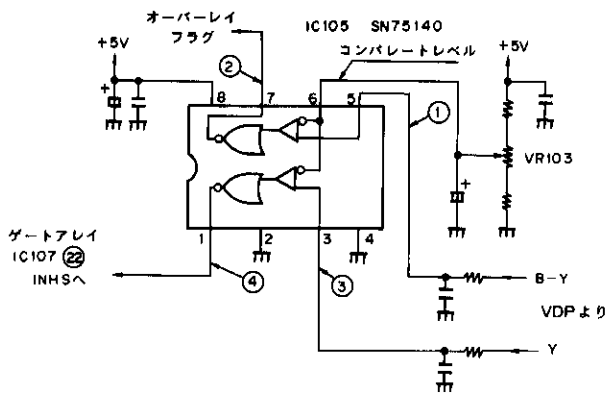
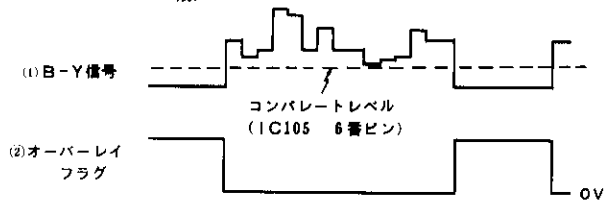


図 3-4 同期(内部)分離、画面合成フラグ生成回路

・画面合成時
(オーバーレイフラグ生成)



(同期分離)

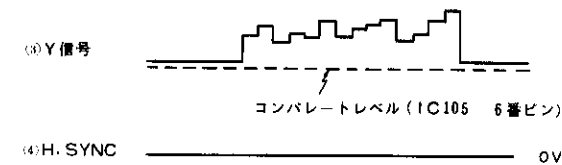
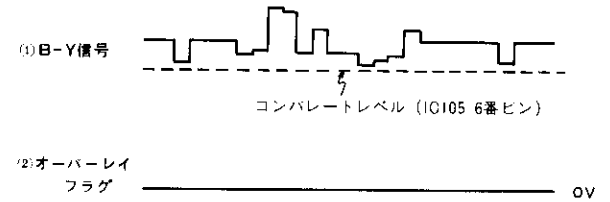


図 3-5 画面合成時の各部波形

・コンピューター画面時
(オーバーレイフラグ生成)



(同期分離)

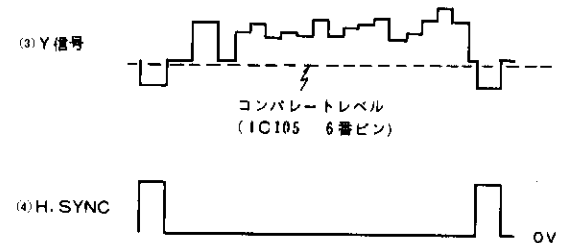


図 3-6 コンピュータモードの各部波形

3.6 搬送色信号生成回路

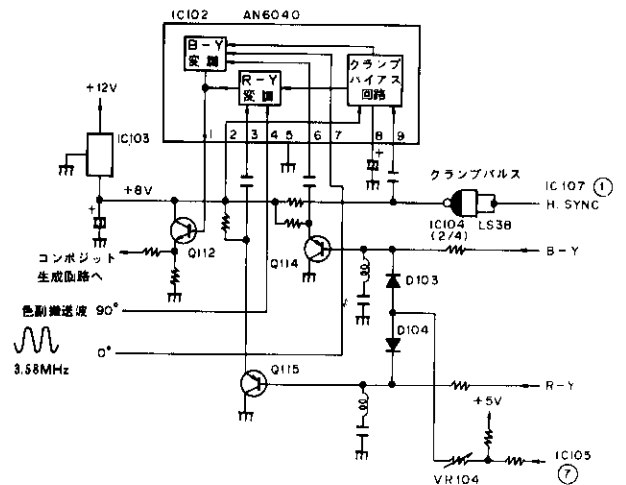


図 3-7 搬送色信号生成回路

搬送色信号生成回路は色副搬送波再生回路で作られた、位相差が90°の2つの色副搬送波をVDPよりのR-Y、B-Y信号で変調し、搬送色信号を作っている。

VDPよりのR-Y、B-Y信号は、画面合成時に画面合成フラグが含まれている。このときVDPよりの信号をそのままベダスタルクランプしてIC102へ加えるとコンピューター画面時とDCレベルが異なるためVDPよりの画像の色が変化してしまう。そこで画面合成フラグの部分ではD103、D104をON

させ電圧レベルの補正を行っている。VR104はこの補正レベルの調整用ボリュームであり、補正後の電圧は黒レベルと同じになる。さらに、R-Y、B-Y信号は変調時の3.58MHzによるビートを防止するためにLCのトラップ回路により3.58MHz成分を除去したのちQ114、Q115の各バッファを通りIC102へ加えられる。IC102の9番ピンに加えられるクランプパルスにはIC107(ゲートアレイ)の1番ピンより出力される水平同期信号(H SYNC)をIC104で反転して利用している。

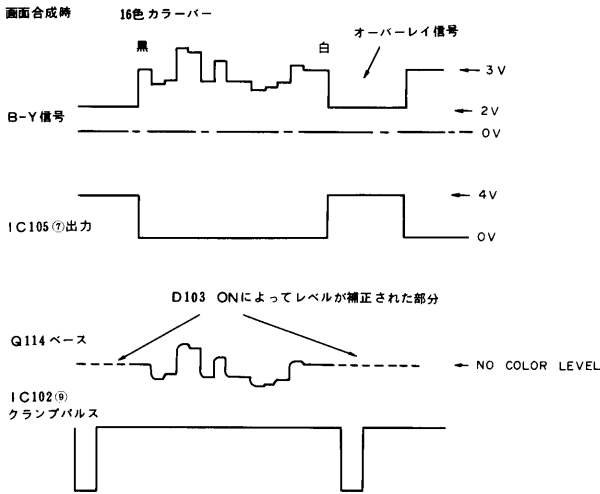


図 3-8 各部の波形

3.7 コンポジット生成回路

コンポジット信号生成回路では搬送色信号生成回路よりの信号とVDPよりのY信号をQ112、Q117によるバッファを経てR168、R169、R159によって合成する。合成された信号はQ117、Q116で1Vp-pに増幅された後、内部ビデオ信号としてビデオスイッチ回路へ出力される。

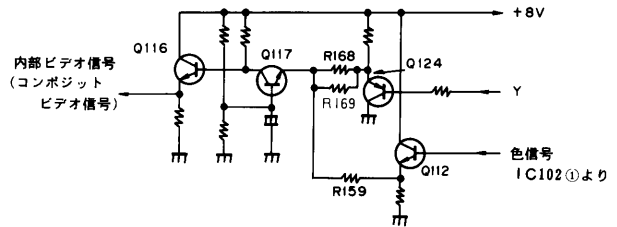


図 3-9 コンポジット生成回路

3.8 レベルシフト回路

Q110、Q111はVDPよりの内部ビデオ信号をレベルシフトする回路であり、Q108、Q109は外部ビデオ信号のレベルシフト回路である。

コンピュータ画面時VDPよりの内部ビデオ信号には同期信号が含まれておりこの同期信号レベルでクランプされるしかし合成画面時には内部ビデオ信号には同期信号が除去されているため黒レベルでクランプされてしまう、これを調整するため外部ビデオ信号より、内部ビデオ信号側のレベルシフト電圧を0.2V高くしてレベルを合わせている。

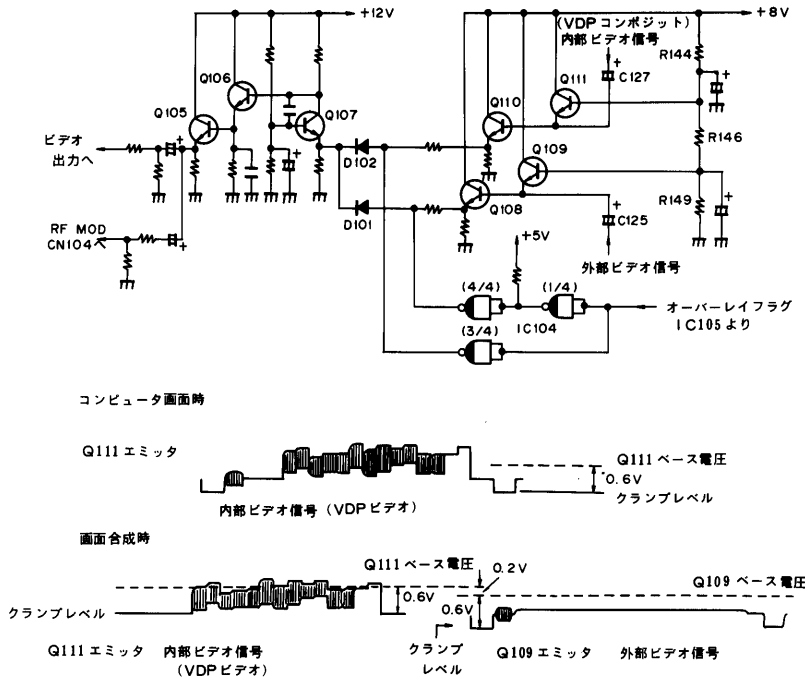


図 3-10 レベルシフト回路

3. 9 AFC

外部ビデオ信号より分離された水平同期信号を基準として、入力信号に同期した15.734kHzの水平同期周波数を発振する回路である。IC106はPLL発振回路となっており、外部ビデオ信号がない場合には、自走周波数で発振している。自走周波数はVR102で可変できるが15.734kHzに対して大きく外れていると、PLLがロックしない、またPLLがロックしている範囲内であればVR102により多少、水平位置の調整が行なえる。C157、C158はマイラー、スチロールコンデンサを使用し、発振周波数の温度補償を行なっている。

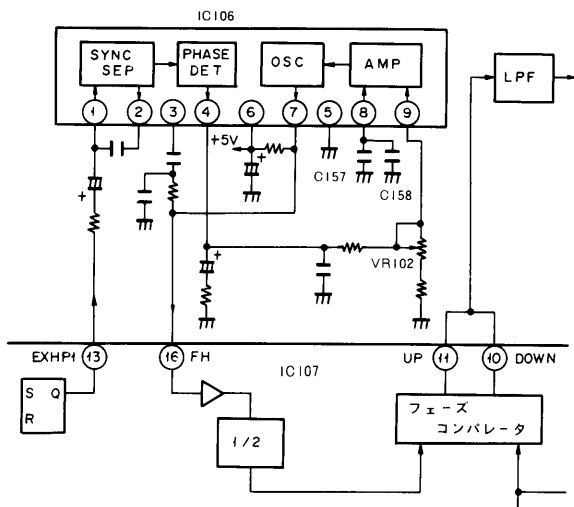


図 3-11 AFC

3. 11 ゲートアレイ

ゲートアレイは

- ① 外部水平同期信号のノイズ除去回路
- ② 外部ビデオ信号検出回路
- ③ 10.762MHz、PLL発振回路の位相比較器(フェーズコンパレータ)及びカウンター回路。
- ④ 10.762MHz、PLL発振回路の基準信号生成回路
- ⑤ 画面合成を行なうための水平同期信号、垂直同期信号及びPLL発振回路の基準信号切換え回路等の回路より構成されている。

ゲートアレイの動作は、コンピュータモード時、及び外部ビデオモードと画面合成モード時の2つに分けられる。

3. 10 LPF, VCO

このLPF(ローパスフィルタ)及び、VCO(電圧制御発振回路)はゲートアレイ(IC103)内部のカウンターと位相比較器(フェーズコンパレータ)とでPLL発振回路を構成し、VDP(TMS9928A)のクロックである10.762MHzを作っている。ゲートアレイ内の位相比較器(比較周波数7.867kHz)の出力はQ118、Q119のLPFに入力される。Q118、Q119のLPF出力はD105のバリキャップに加えられ、VCOのコントロールを行なっている。VCOの発振周波数10.76MHzは、コンピュータモード時には色副搬送波信号3.58MHzを、また、外部ビデオモード、画面合成モード時には外部ビデオ信号の水平同期信号を基準信号として発振している。R181、R182はゲートアレイにDCバイアスを与えている。

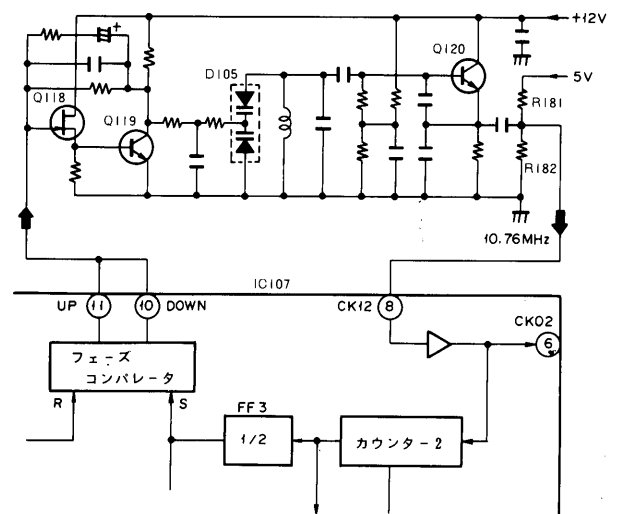


図 3-12 LPF, VCO

●コンピュータモード

コンピュータモードの場合(VOVLY=H)、ゲートアレイ内部の接続は図3-13のようになる。コンピュータモードではINHS端子(22番ピン)にはVDP(TMS9928ANL)より出力されるコンピュータ画面信号から分離された複合同期信号が入力される。

1番ピン(HSYNC)よりの複合同期信号はIC104で反転された後、クランプパルスとしてIC102の9番ピンへ加えられる。

19番ピン(CK11)へは色副搬送波再生回路より色副搬送波(3.579545MHz)が入り、入力シュミットバッファで波形整形を行なった後、カウンター1、FF1で構成された分周回路により455分周され7.867kHzを得ている。この信号は基準信号として位相比較器(フェーズコンパレータ)へ加えられる。

一方VCOの出力 (10.762MHz) は出力シュミットバッファで波形整形され、6番ピン (CKO2) よりVDPのクロックとして出力されている。この出力の一部は、カウンター2で684分周され、さらにFF3で2分周、計1368分周されて (7.867kHz) 比較信号として、位相比較回路へ加えられる。このように位相比較回路の出力はLPF→VCOとループを形成し、色副搬送波よりの分周された信号を基準とするPLL発振回路を構成している。4番ピン (RSYNC) にはVDPへのクロックである10.762MHzを、684分周して得た水平同期信号と外部ビデオ信号が分離した垂直同期信号とを合成して出力している。

3番ピン (EXTV) は、外部ビデオ信号が入力されていないと、17番ピン (EXS I) の入力がないためカウンター3

及びFF4はリセットされず、FF3の出力によりカウンター3はカウントアップし、FF4はトリガされたままとなり、3番ピンよりはHが出力される。また、外部ビデオ信号が入力されると、17番ピン (EXS I) へは複合同期信号 (外部同期信号) が入力され、カウンター3、FF4はこの信号の水平同期信号よりリセットされ、3番ピン (EXTV) よりはLが出力される。ただし、カウンター3は、7.867kHz (水平同期信号の1/2) を1/7分周しているため、17番ピン (EXS I) よりの水平同期信号が14パルス以上 (890 μ s以上) 抜けると、FF4が反転して3番ピン (EXTV) 出力をHにする。このように3番ピン (EXTV) が出力Hで外部ビデオ信号無し、Lで外部ビデオ信号有りの検出信号出力としている。

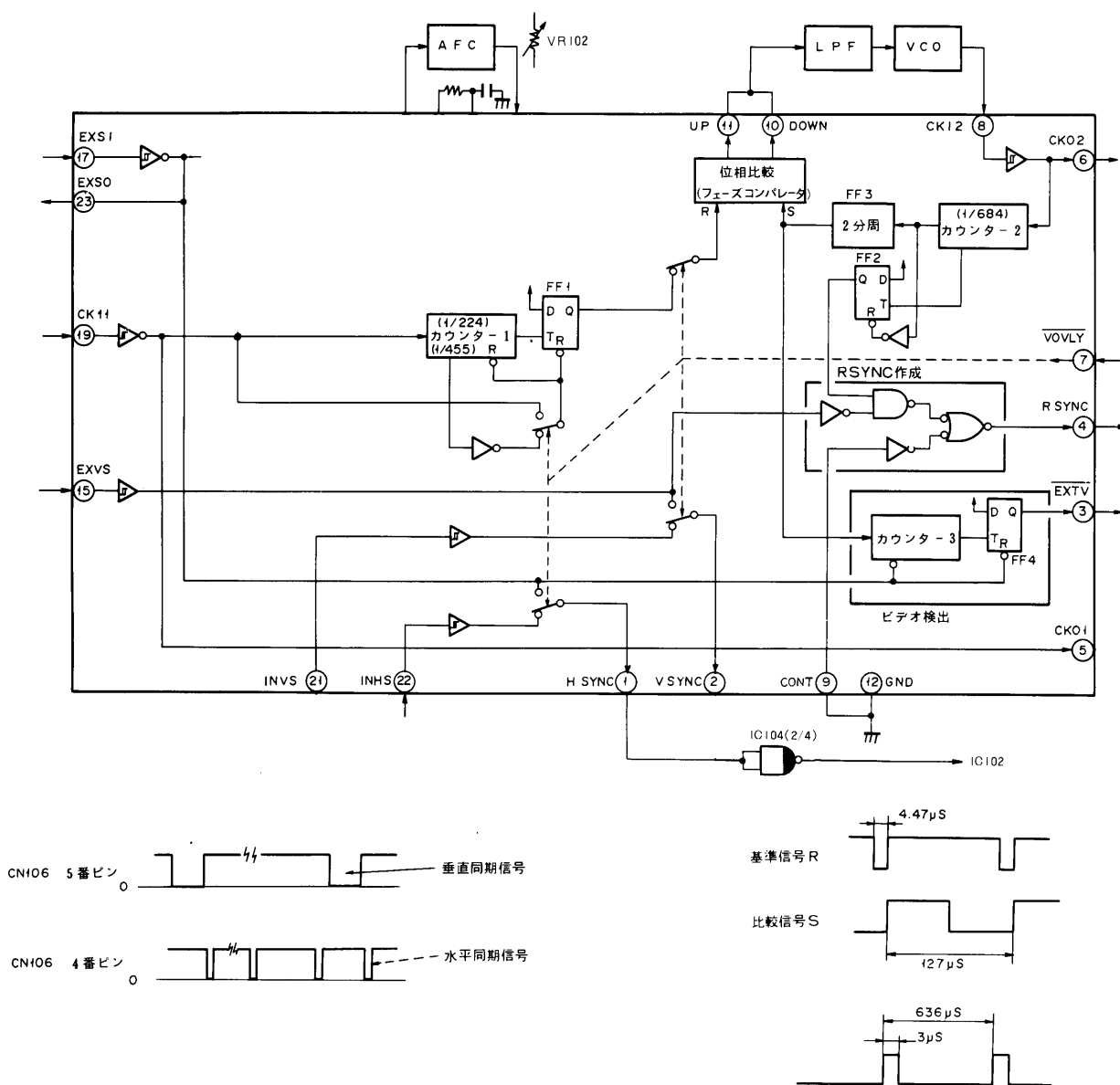


図3-13 ゲートアレイ回路(コンピュータモード)

●外部ビデオ、画面合成モード

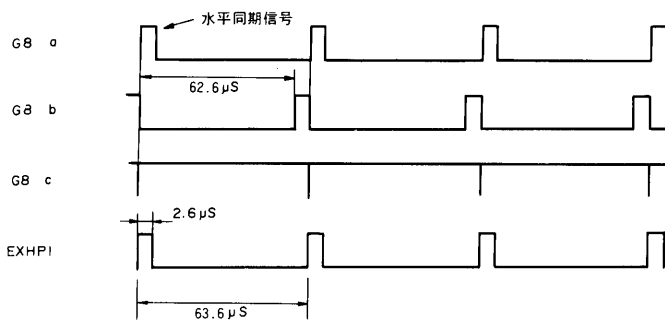
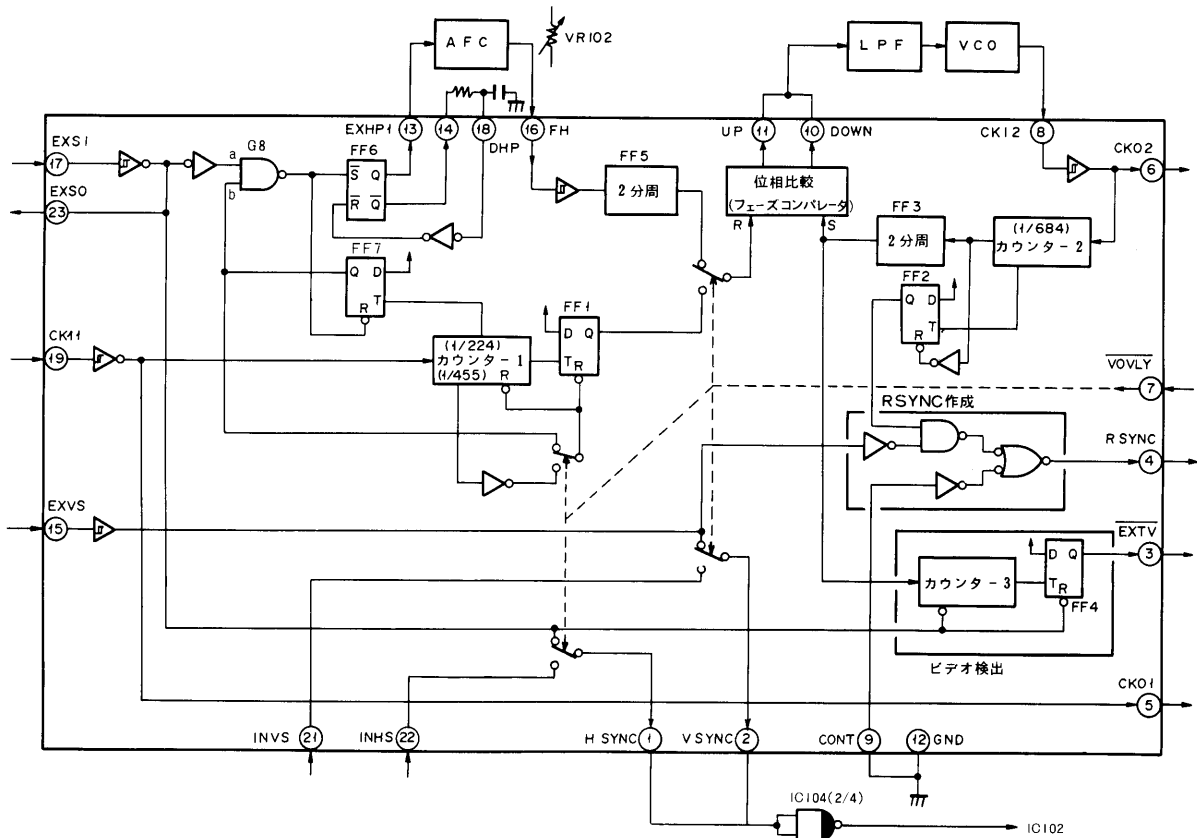
外部ビデオモード、画面合成モード (VOVLY=L) の場合ゲートアレイ内部の接続は図3-14のようになる。

1番ピン (HSYNC) には外部ビデオ信号から分離された複合同期信号が出力され、コンピュータモード時と同様にIC104 (2/4) で反転され、クランプパルスとしてIC102へ加えられる。

19番ピン (CK11) へは色副搬送波再生回路より、外部ビデオ信号の色同期信号に同期した色副搬送波 (3.579545 MHz) が入力される。17番ピン (EXSI) には外部ビデオ信号より分離した複合同期信号が入力される。入力された信

号はG8、カウンタ1、FF7により水平同期信号のノイズ除去を行なう。G8の出力は非常に副の狭いパルスのため、FF6によりパルス副を約2.6 μ sに広げている。外部ビデオ、画面合成モード時の13番ピン (EXHP1) には水平同期周波数の $\frac{1}{2}$ の周波数 (パルス幅約2.6 μ s) が出力される。

16番ピン (FH) へは、13番ピンよりの出力信号に同期した信号がAFCで作られ加えられる。この信号はゲートアレイ内のFF5により2分周 (7.867kHz) され基準信号として位相比較回路へ加えられる。他の動作はコンピュータモードと同じである。



∴ 62.6 μ s (G8b)の期間はG8のゲートを禁止し、ノイズ除去を行なっている。

図3-14 ゲートアレイ回路(外部ビデオ、画面合成モード)

4. デジタル部の回路概要

4.1 MSXのメモリー構造

MSXは、最大4つまでの基本スロットを持ち、この基本スロットにカートリッジスロット拡張ボックスを差し込むと1つの基本スロットが4つの拡張スロットになる。したがって最大16のスロットを持つことができる。

基本スロット、0～3はパソコン本体内のPPI（パリアラインターフェイス）のポートによって設定され、各基本スロット0～3は、その基本スロットの拡張レジスタによりさらに各々4つのスロットに拡張される、(図4-1) (ただしER-101は内部の拡張レジスタにより拡張スロット0と3を選択する)。

拡張スロットの設定は、メモリアドレスFFFFHを拡張スロットレジスタとし、レジスタにスロットデータを書き込むことで行なわれる。

また拡張レジスタの有無は各スロットのアドレスFFFFHにデータをライトし、これをリードしたときにライトしたデータと論理が逆のデータが返ってくれば拡張レジスタありとCPUにて判断する (MSXにより規定している)。

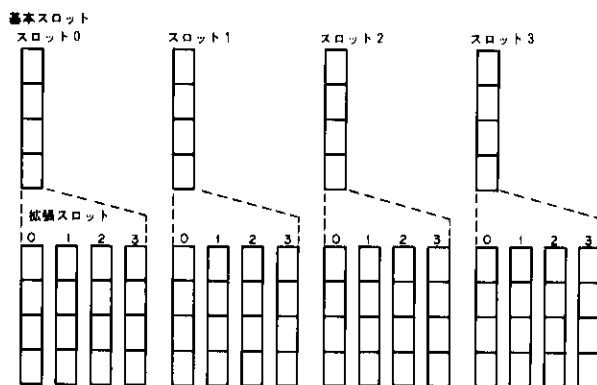
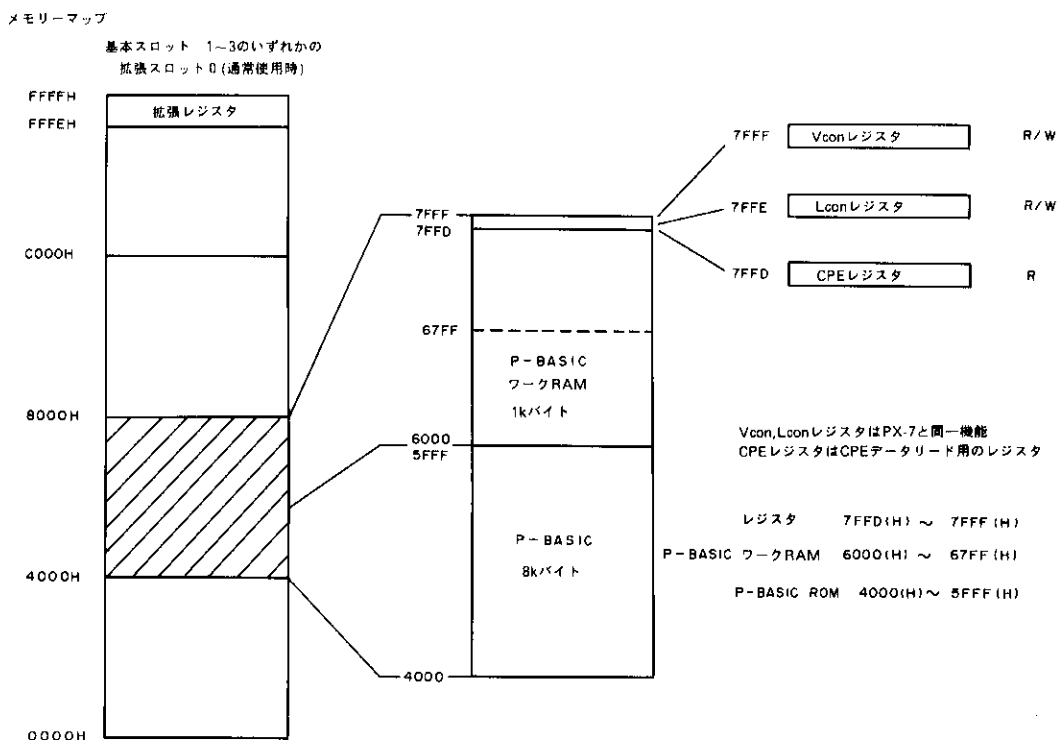


図4-1 MSXのメモリー構造

4.2 メモリーマップ(ER-101)



MSX BASIC ROMは通常 基本スロット0の0000(H)～7FFF(H)に置かれ、P-BASIC拡張ステートメントを実行する際には、MSX BASICがP-BASIC ROMを渡し切換えを行っている。

図4-2 メモリーマップ(ER-101)

4.3 拡張スロットアドレスデコード回路

ER 101の拡張レジスタは、図4-3に示す回路であり各出力は次のように働く。

- SLTR** 拡張レジスタのFFFFHレジスタをリードするときに、アクティブ(L)となる。
- SLTW** 拡張レジスタのFFFFHレジスタにライトするときに、アクティブ(L)となる。
- SLTC** アドレスFFFFHがアクセスされているとき以外には常に、アクティブ(L)となる。

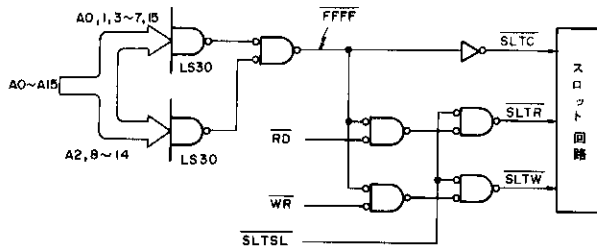


図4-3 拡張スロットアドレスデコード回路

4.4 SLOT回路(拡張レジスタ)

SLOT回路はLS273, LS240により構成されるFFFFHレジスタとLS153とLS139によるデコードより構成される。

FFFFレジスタにデータがライトされるとSLTWの立上りでデータはラッチされ、スロット情報はLS153に出力される。

FFFFレジスタをリードすると、SLTRの立上がりで、LS240にイネーブルがかかりラッチされているデータが、論理を反転してDATA BUSに出力される。この出力によりCPUは拡張レジスタが有ることを判断する。

FFFFレジスタに書き込まれるデータはパソコン本体にあるPPIによって基本スロット0-3をセレクトする場合と同じである。(PX-7参照)

FFFFレジスタの出力はLS153とLS139によりデコードされ、SLTSLOとSLTSL1を生成する。

SLTSL信号は他の信号(アドレス、データ)などに比べ、CPUより出力されるのが遅い、このためLS139の出力の後で論理和を取りSLTSL0、SLTSL1の出力遅れを少なくしている。

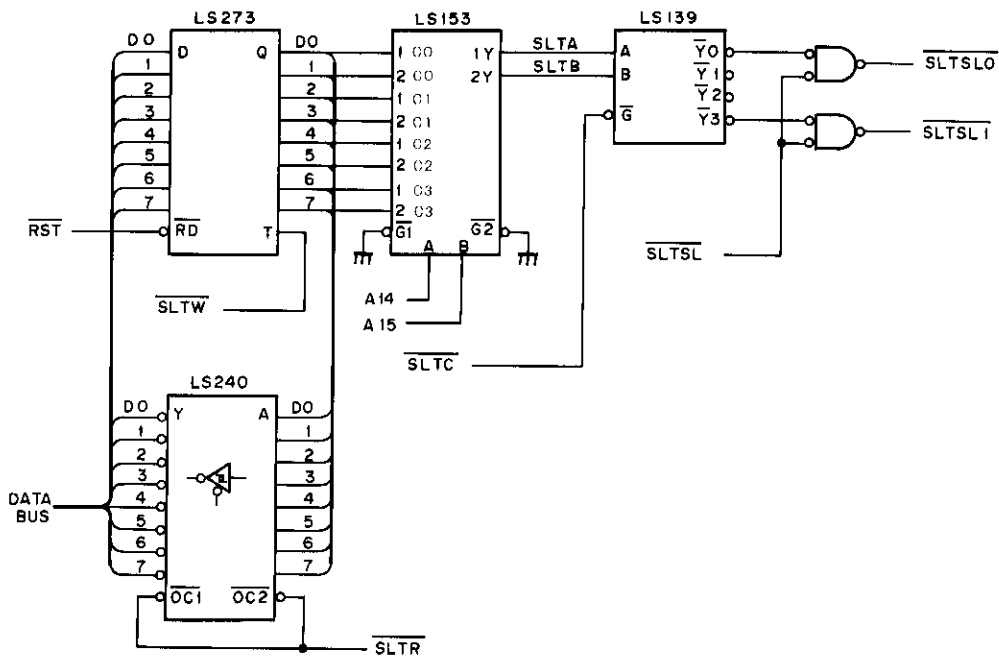


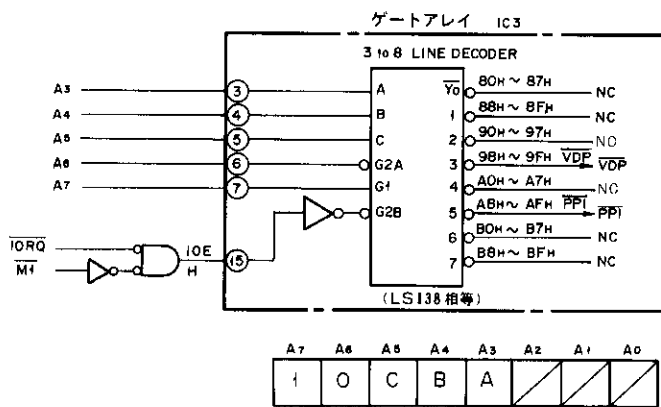
図4-4 スロット回路

4.5 I/Oアドレスデコード回路

CPUがメモリやI/OをアクセスするにはMREQ, またはIORQのどちらかがアクティブ(L)になっていることが必要である。プログラム中などでI/OがアクセスされるとIORQ=Lとなり、その命令がI/Oへの書き込みであればWR=L。また、I/Oの状態を読み込むのであれば、RD=LがCPUより出力される。M1サイクル以外のIORQ=Lの時すなわち割込アクリッジサイクル以外のI/Oリクエスト時にIOE=HとすることでI/Oアドレスデコード回路をイネーブルとしている。

このときA3～A7のアドレスをデコードすることにより、8バイトおきのI/Oアクセス信号を生成する。

ここで実際の回路ではA7=H, A6=LのときのA3～A5までを3to8LINEデコーダにてデコードして80H～BFHまでの8バイトおきのI/Oアクセス信号を生成し、各I/Oに振り分けている。これによりI/Oアドレス98H～9FHはVDPにA8H～AFHはPPIに割り当てられる。その他のアドレスはER-101では未使用となっている。I/Oマップは表4-1、図4-6の通りとなる。



- ・I/Oアクセス信号は80(H)より8バイトおきに発生。このうち90(H)～AF(H)までを使用する。
- ・ここではA0～A2をデコードしていないので、8バイトのイメージが出る。このため各デバイスのアクセスに当っては、必要に応じてさらに細部デコードを行っている。

図4-5 I/Oアドレスデコード回路

I/Oアドレス(16進)	R/W	内容	デバイス
98	W	V-RAMへのデータライト	VDP
99	W	コマンド、アドレスセット	VDP
AA	W	LMUTEデータライト	

表4-1 I/Oマップ1

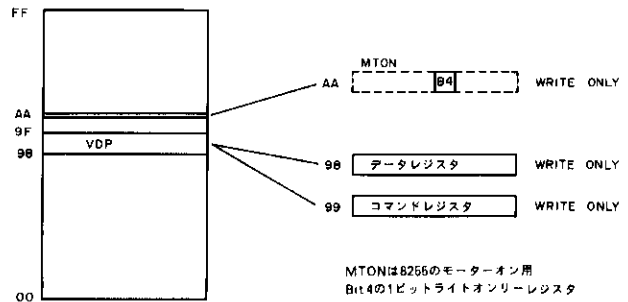


図4-6 I/Oマップ2

4.6 VDP(ビデオディスプレイプロセッサ)

コンピュータ内部のVDPと拡張プロセッサ(ER-101)内部のVDPは、CPUよりのデータライト時、同時にアクセスされる。しかしデータリード時には両方のVDPよりのデータをCPUで受けるとデータバス内でデータが衝突してしまう。このためER-101内部のVDPはCSR端子をプルアップすることにより、CPUよりリードがかからないようにしてある。つまり、CPUからのデータライトは両方のVDPに対して行なわれるが、データリードはコンピュータ内のVDPだけに行なわれるようになっている。

逆に画像出力は、コンピュータ内部のVDPには外部同期機能がないため、ER-101内のVDPよりの出力を使用している。ただし、コンピュータ画面だけの場合はどちらの出力も使用できる。さらにINT出力についてもコンピュータ内のVDP出力だけが有効となる。

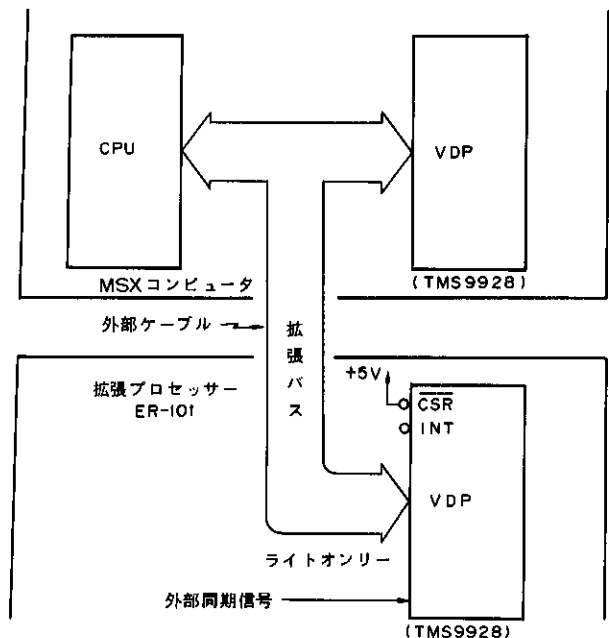


図4-7

VDP (TMS9928ANL) のアクセスは $\overline{\text{VDP}} = \text{L}$ にて行われ、データ転送は $\overline{\text{CSW}}$ 、MODE によりコントロールされる。

$\overline{\text{CSW}}$: CPU → VDP へのデータ・ライト時 L となるライト信号

MODE : CPU ↔ V-RAM のリード、ライト時 L となり、それ以外は H となる。

通常 MODE には CPU のアドレス A0 が接続され、VDP をアクセスする時の A0 の値により、VDP と V-RAM を区別してアクセスしている。

MODE(A0)	$\overline{\text{CSW}}$	状態
L	L	CPU から V-RAM への直接書き込み (CSW の立上りでデータセット)
H	L	CPU から VDP への書き込み

表 4-2

$\overline{\text{RESET/SYNC}}$ 入力は ① $\overline{\text{RST}}$ が L の時 0V、② $\overline{\text{RST}}$ が H で $\overline{\text{SYNC}}$ が L の時 5V、(+12V が R12、R13 で分圧される)、③ $\overline{\text{RST}}$ 、 $\overline{\text{SYNC}}$ 共に H の時 12V となる。

$\overline{\text{RST}}$	$\overline{\text{SYNC}}$	$\overline{\text{RESET/SYNC}}$	動作
L	X	0V	リセット時 (電源 ON 時または、リセットスイッチ ON 時)
H	L	5V	通常動作時
H	H	12V	スーパーインポーズモード時における、外部同期用 SYNC 信号入力時

表 4-3

① $\overline{\text{RESET/SYNC}}$ の立上りを水平同期パルスとしてとらえ、水平同期状態にある VDP 内部カウンタがリセットされる。

② 同期パルスで 7.2μs 以上のものを垂直同期パルスとしてとらえ、内部垂直カウンタを、垂直同期状態にセットする。

GROMCLK 出力には XTAL1 入力の 1/24 分周されたクロックが出力される。XTAL1 入力は 10.739MHz (3.579545MHz × 3) の CLK が入力され、GROMCLK には

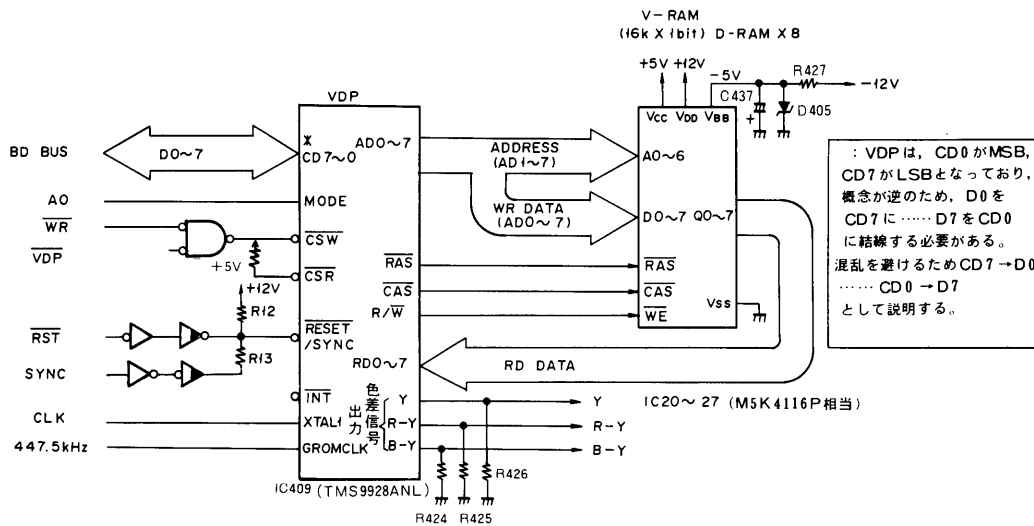
$$\text{GROMCLK} = 10.739\text{MHz} / 24 \approx 447.5\text{kHz}$$

が出力される。この周波数はビデオディスクプレーヤー LD-1000 のリモコン用基準クロック 455kHz に近く、これを LD-1000 のリモコンパルス生成用基準クロックとして流用している。

● V-RAM のアクセス

① V-RAM としては、16k × 1 ビットの DRAM (4116系) を 8 個使用して 16kB のメモリーを構成している。(VDP の指定による)

② DRAM は +5V、+12V、-5V の 3 種の電源を必要とし、-5V は -12V を、R427、D405、C437 により、安定化して得ている。



： VDP は、CD0 が MSB、CD7 が LSB となっており、概念が逆のため、D0 を CD7 に …… D7 を CD0 に接続する必要がある。混乱を避けるため CD7 → D0 …… CD0 → D7 として説明する。

図 4-8 VDP 回路

- ③VDPのAD0~7出力は、V-RAMへのコラムアドレス、ローアドレス、ライトデータをタイムシフトして出力する。(バスを兼用する)
- ④ここでロー、コラムアドレスはAD1~7に、ライトデータはAD0~7に出力される。
- ⑤これらのタイミングを取るためにRAS、CASが用いられる。
- ⑥V-RAMからのリードデータは、VDPのRD0~7に入力される。

●V-RAMライトサイクル

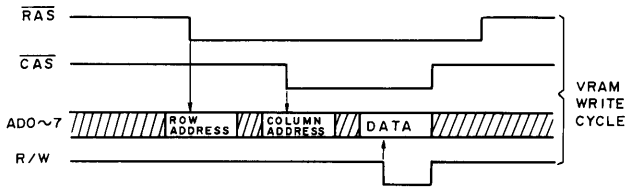


図4-9 V-RAMのリード、タイミング

●V-RAMリードサイクル

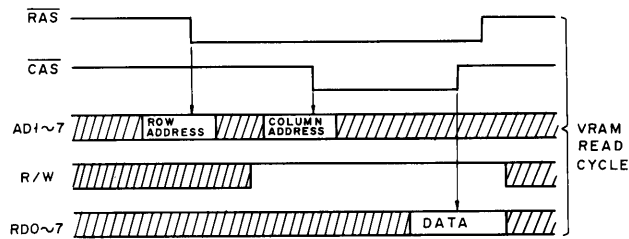


図4-10 V-RAMのライトタイミング

4.7 拡張I/Oインターフェイス

I/Oのアドレス割り当ては図4-6に示すようにMSXにより規定されており、その他のI/OをI/Oアドレスに割り当てることは許されない、そこでメモリーマップドI/O方式により適当なスロットのメモリーアドレス上に仮想的なI/Oレジスタを設け、このレジスタに他のI/Oを設置する。スロット2のメモリーアドレス7FFFH(VCONレジスタ)と7FFE H(LCONレジスタ)および7FFDH(CPEレジスタ)にメモリーマップドI/Oによる拡張I/Oを置きCPUとのやり取りを行なう。

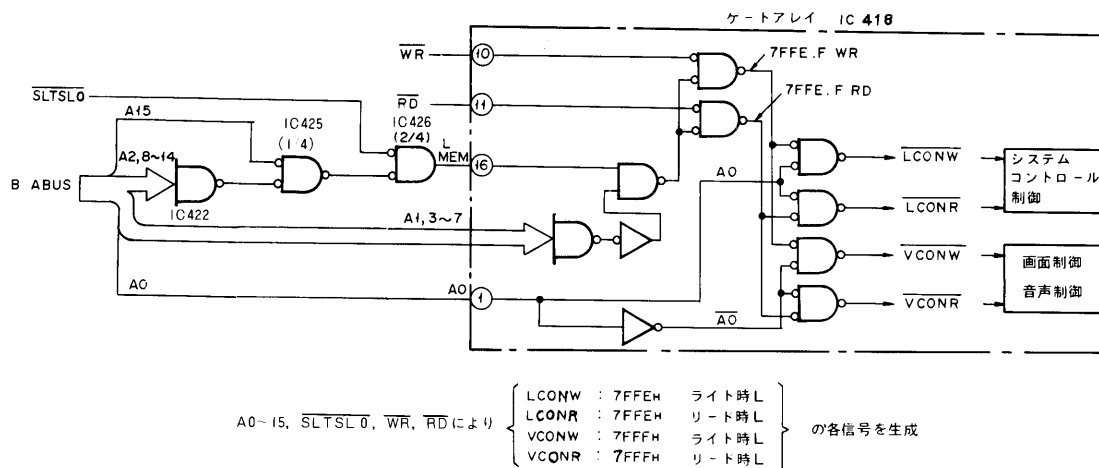
拡張されたI/Oインターフェイスは、画面制御、音声制御、システムコントロール制御およびCPEデータの読み込みを行なうためのものであり、7FFF、7FFEのアクセス方法は、A0~A15、SLTSL0、WR、RDにより行なわれ、以下の信号を生成する。(図4-11参照)

LCONW	7FFE H	ライト時 L
LCONR	7FFE H	リード時 L
VCONW	7FFF H	ライト時 L
VCONR	7FFF H	リード時 L

また、7FFDHについてはA0~A15、SLTSL0、RDによりアクセスが行なわれ、次の信号を生成する(図4-12参照)

CPE	7FFDH	リード時 L
-----	-------	--------

メモリーアドレス7FFFH、7FFE Hおよび7FFDHのビット割り当てはそれぞれ表4-4、4-5、4-6の通りである。



A0~15, SLTSL0, WR, RDにより
 { LCONW : 7FFE H ライト時 L
 LCONR : 7FFE H リード時 L
 VCONW : 7FFF H ライト時 L
 VCONR : 7FFF H リード時 L } の各信号を生成

図4-11 拡張I/Oインターフェイス

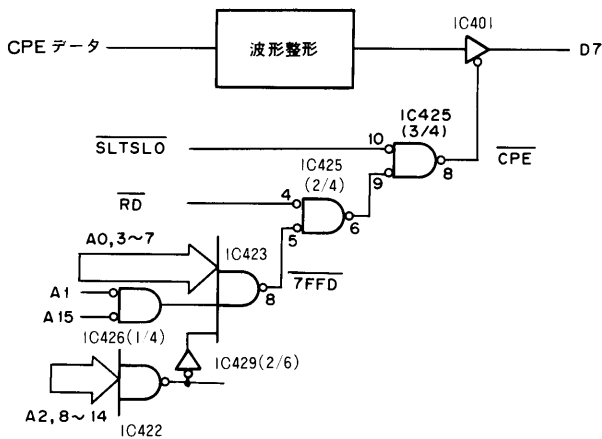


図 4-12

● 拡張I/Oレジスタ

LCONレジスタ <7FFF(16)>

ビット	R/W	信号名	機能
7	R	ACK	リモコン信号送出に対するアクノリッジ1→0で有意
	W	CLK1 2	CLK1,2の切替 0=CLK1, 1=CLK2
6			
1			
0	R	RMCLK	CLK1 CLK2の128分周クロック
	W	REM	RMCLKに同期して生成するビットシリアルデータ出力1でH出力

表 4-4 VCONレジスタマップ

VCONレジスタ <7FFF(16)>

ビット	R/W	信号名	機能
7	R	EXTV	外部ビデオ信号の有無を示すステータス、有でL 無しでH
	W	MUTE	ライン入力信号のミュート
6			
1			
0	R	INTEXV	外部ビデオ信号off時の割込みフラグ1で割込有、Readすると0になる。
	W	OVERLAY	合成、非合成モードのハードウェア切替信号、合成時0、非合成時1

表 4-5 LCONレジスタマップ

CPEレジスタ <7FFD(16)>

ビット	R/W	信号名	機能
7	R	CPE	CPEデータの読み込み

表 4-6 CPEレジスタマップ

4.7.1 画面制御回路

● EXT Vの読み取り

- EXTVは外部ビデオ信号有無を示すステータス信号で外部ビデオ有りてLとなる。
- EXTVは、VCONレジスタ、リード時にD7を介して、CPUが読み取れる。
- 例、LD A, (7FFFH)にてAレジスタにVCONレジスタの内容が入り、D7が、EXTVの状態を示す。

● EXT Vの読み取り

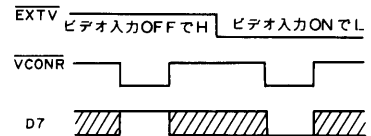


図 4-13 EXT Vの読み取りタイミング

● VOVL Yの生成

- VOVL Yはコンピュータモードと、スーパーインポーズあるいは外部ビデオモードの切換を行うための制御信号であり、外部ビデオ信号が入力されており (EXTVがL) かつ、VCON レジスタ ビット 0 にLを書き込んだ場合にのみLとなる。
- RST→L時には、図4-16のE点をHとし、VOVL Y→Hとする。
- VCONWの立上りでD0の状態 (LまたはH) をラッチし、Q出力(E)と、EXTVとのORを取りVOVL Y信号としている。

● VOVL Yの生成

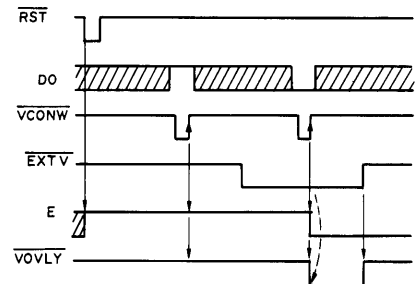


図 4-14 VOVL Yの生成タイミング

● INTEX Vの生成

- INTEXVおよびINTEXVはスーパーインポーズモードで、外部ビデオ信号が無くなったときに発生する信号であり、INTEXVはCPUへの割込信号、INTEXVはそのステータス信号である。
- RST時には、A点H、B点LのためC点はHとなり、またD点はHとなるためINTEXVはHとなる。また、VCONレジスタ リード時ビット0よりINTEXV=0が得られる。

- ③EXTVがLからHに変化すると（外部ビデオ信号入力が無くなると）次のφ立上りから、さらに次のφ立上りまでの間、C点はLとなるためD点L、D点はHとなる。
- ④ここでE点がL（スーパーインポーズ、或は外部ビデオモード指定時）であればINTEXVはLとなり、CPUに割込がかかる。
- ⑤割込処理ルーチンにて、VCONレジスタリード時ビット0よりINTEXV=1が得られ、INTEXVからの割込であることが分かる。リード完了時VCONRの立上りでD点はH、D点はLとなるため、INTEXVはHとなり、割込が解除される。

● INTEXVの生成

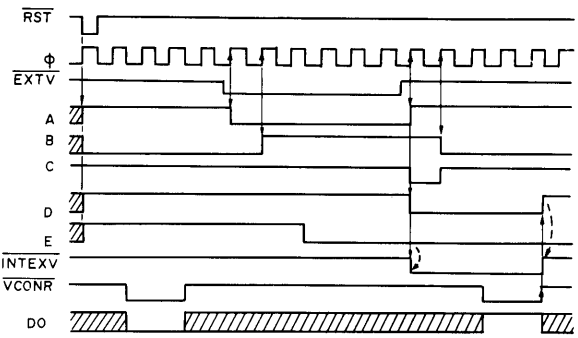


図4-15 INTEXVの生成タイミング

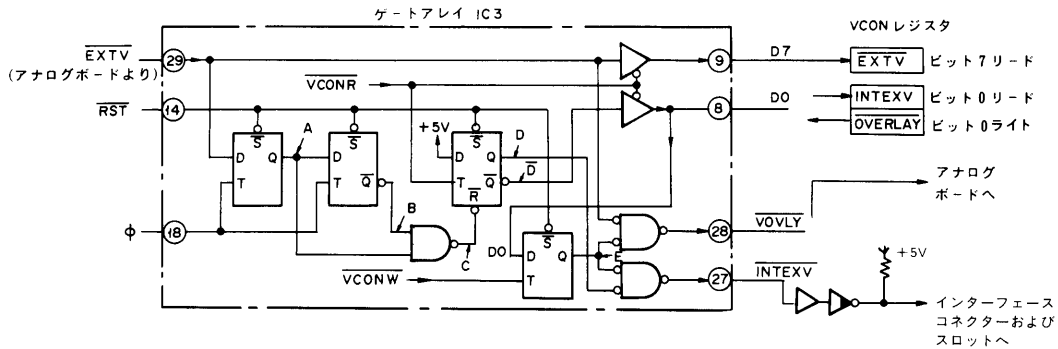


図4-16 画面制御回路

4.7.2 音声制御回路

外部ステレオオーディオ入力に対するミュートINGのON/OFFを行なう。

VCONレジスタビット7ライトおよびMTONレジスタビット4出力により、L、RチャンネルのミュートING信号(LMUTE, RMUTE)を生成する。

RチャンネルミュートING制御時LMUTEの立上りを利用してラッチするためLMUTEのL→H操作が必要となる。

● RST時

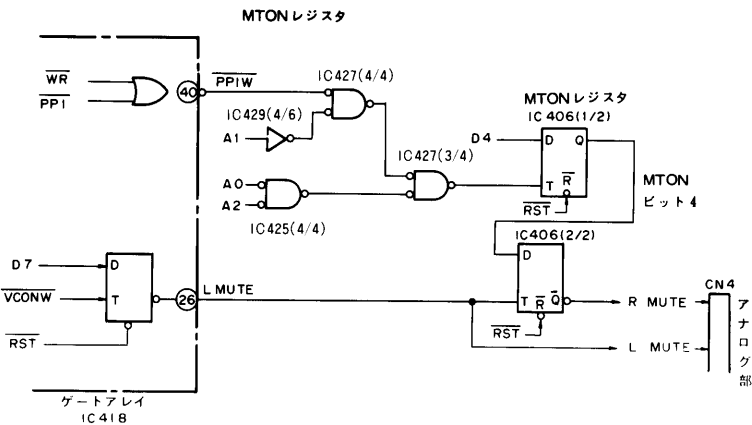
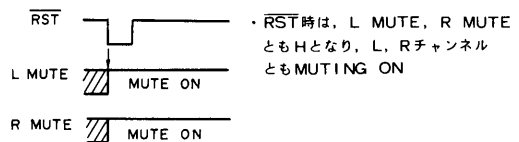
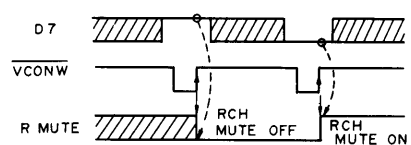
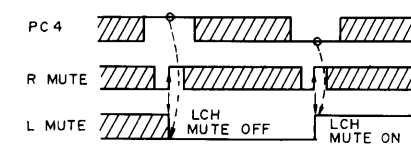


図4-17

● Rチャンネル MUTING ON/OFF



● Lチャンネル MUTING ON/OFF



4. 7. 3 システムコントロール回路

(1) 基準クロック生成回路

基準クロック生成回路は統一リモコン (LD-7000等) およびLD-1000系のリモコンコードパルスソフトウェア生成するためのタイミングパルスを生成する。

統一リモコンとLD-1000系リモコンではパルス幅が異なるため、CLK1(LD-1000)、CLK2(統一リモコン)の2種類のクロックを必要とする。CLK1はVDP (TMS9928ANL, IC409) より出力される447.5kHzパルスを利用し、CLK2はIC429 (3/6) セラミック振動子X1等からなる発振器により500kHzパルスとして発振、生成される。基準クロックは電源ON時及びリセット時にはCLK2が選択され、それ以外のクロック選択は、LCONレジスタのビット7ライトにて行なう。

LCONレジスタビット7L→CLK1 H→CLK2

このように選択されたクロック(REM CLK)はさらに1/2²⁴分周された波形e (図4-18)となり、LCONレジスタのビット0を介してCPUにて読まれる。

(2) リモコンパルス生成回路

- ①基準クロック生成回路で生成されるタイミングパルスに基づき、LCONレジスタビット0にリモコンコードをライトする (ソフトウェア)。
- ②このラッチ出力がUREMOであり、有線リモコンの原信号となる。
- ③UREMOに基づきREMCLKの12分周出力をON/OFFし、CREMOを生成する。
- ④CREMOは赤外線LED駆動用信号であり、カプラコードを接ぎ、赤外線リモコンを行なう。(Q6はドライバー用トランジスタ)

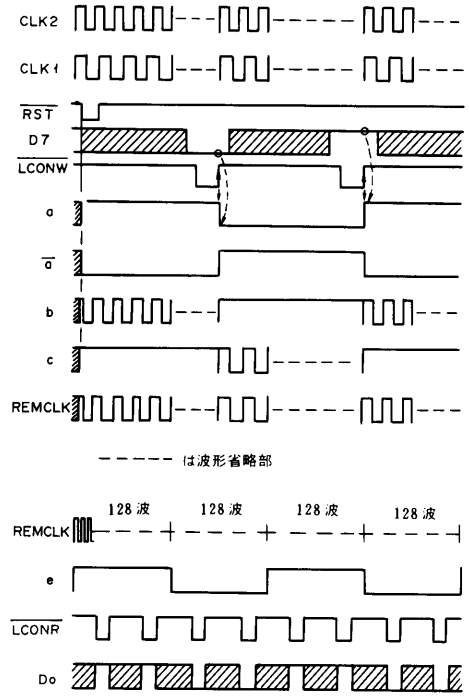


図4-18 基準クロックの生成と各部のタイミング

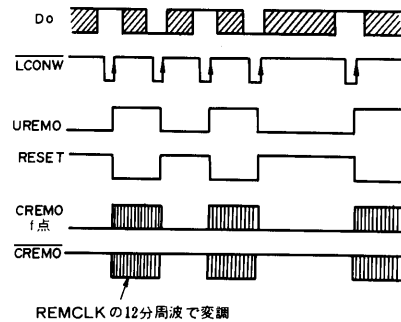


図4-19 リモコンパルスの生成と各部のタイミング

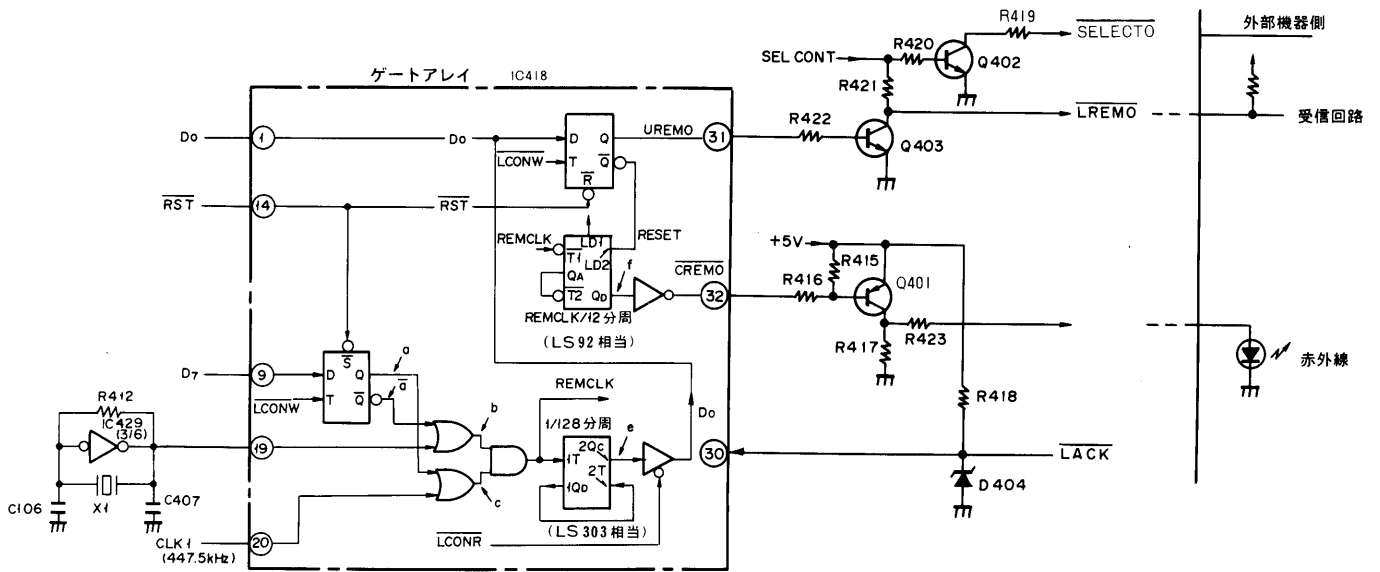


図4-20 システムコントロール回路

(3) その他

- ① LD 7000系からのリモコンに対する、アクノリッジ信号 (LACK)のL/HレベルはLCONレジスタビット7を介して、CPUが読み取れる。(図4-21)
- ② SELECTOはLD 7000系へのコントロール出力で
 - ┌ L→有線リモコンが有効
 - └ H→赤外線リモコンが有効
- ③ したがってLREMOを有効にするためにはSELECTOをLとする。(図4-22)
- ④ (SELCONT)はスルースイッチに連動した電源である、
 - SELCONT + 5V時 → SELECTOはL → LREMO有効
 - SELCONT 0V時 → SELECTOはH → LREMO無効

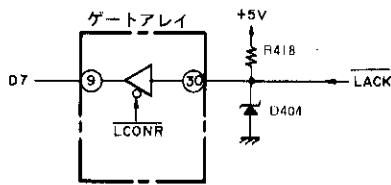


図4-21 アクノリッジ読み取り回路

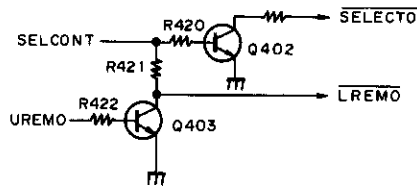


図4-22 セレクト回路